

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06260772
PUBLICATION DATE : 16-09-94

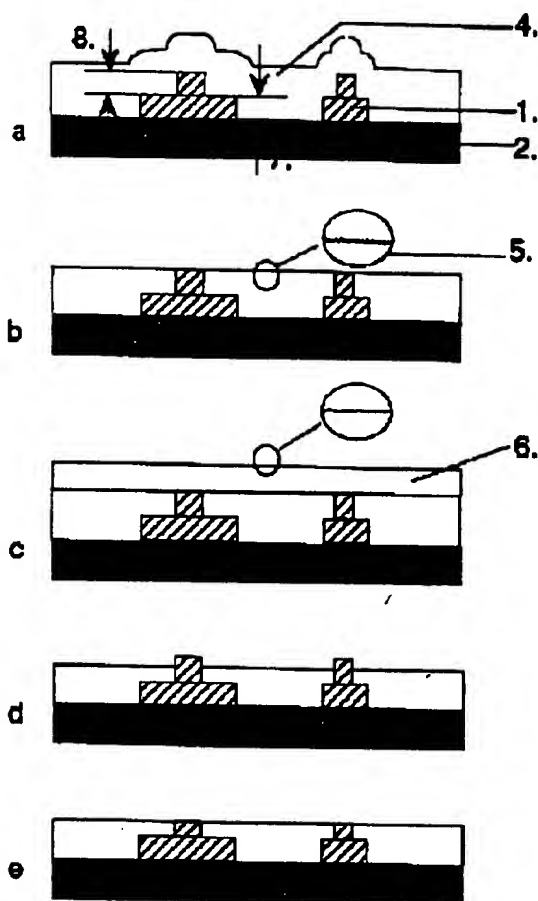
APPLICATION DATE : 03-03-93
APPLICATION NUMBER : 05042409

APPLICANT : HITACHI LTD;

INVENTOR : FUKUSHIMA MAKOTO;

INT.CL. : H05K 3/46 H05K 3/22

TITLE : LESSENING METHOD OF
MECHANICAL POLISH FLAW



ABSTRACT : PURPOSE: To enhance the surface of a wiring board in evenness and to remove flaws from the surface of the board so as to prevent a short circuit from taking place between wires by a method wherein irregularities of an insulating film's surface are flattened by a mechanical polishing method, and mechanical polish flaws are lessened.

CONSTITUTION: A wiring 1 and/or via-stud are formed on a wiring board 2, and an insulating film 4 is formed thereon to form a thin film multilayer board, wherein irregularities of the surface of the insulating film 4 are flattened by a mechanical polishing means, and mechanical polish flaws are lessened. For instance, a copper wiring 1 is formed on a glass board 2, polyimide 4 is applied thereon, and the surface of the polyimide film 4 is flattened by polishing. In succession, polyimide 6 is applied onto the surface of the board 2 and subjected to an ashing treatment so as to be as thick as prescribed. Polish flaws may be removed through such a method in which dry etching or wet etching is employed in place of an oxygen ashing treatment or resin is applied newly onto flaws.

COPYRIGHT: (C) JPO

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-260772

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.⁵

H05K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

X 6921-4E

E 6921-4E

T 6921-4E

B 7511-4E

3/22

審査請求 未請求 請求項の数9 O L (全6頁)

(21)出願番号 特願平5-42409

(22)出願日 平成5年(1993)3月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 天明 浩之

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 山崎 哲也

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 福島 誠

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74)代理人 弁理士 小川 勝男

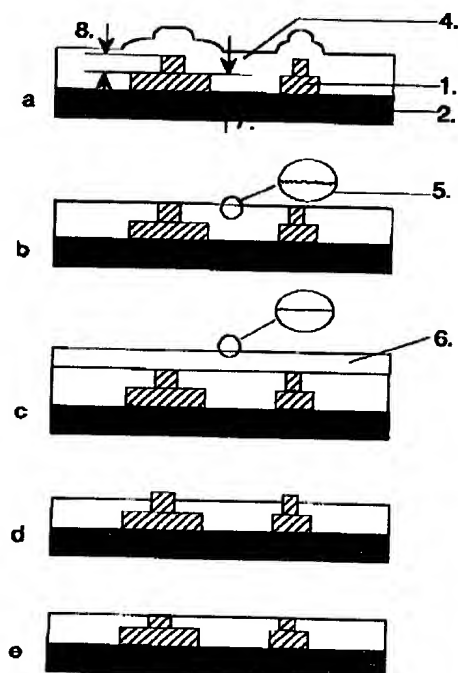
(54)【発明の名称】 機械研磨傷の低減方法

(57)【要約】

【目的】本発明は電子装置の多層配線基板などの製造法に関し、特に絶縁膜表面の凹凸を平坦化し、その研磨傷を低減する方法を提供することが目的である。

【構成】凹凸のある絶縁層を平坦にするために、絶縁層を必要膜厚より厚く形成し、配線の段差を機械的に平坦化する方法を用いる。この際生じる研磨傷をアッシャ等のドライエッチングプロセスを用いて低減する方法や、傷の上に樹脂を塗布して研磨傷を低減する方法、また前記の方法を合わせ、傷の上に樹脂を塗布して研磨傷を低減させた後に更にドライエッチングプロセスを用いることにより研磨傷をより一層低減する方法を提供する。また、ドライエッチング処理に変わってウエットエッチング処理によっても同様な処理を行うこともできる。

図5



【特許請求の範囲】

【請求項1】基板上に、配線及び（または）ビアスタッドを形成し、これらの上に絶縁膜を形成する薄膜多層基板製造工程において、表面の凹凸を機械研磨を用いて平坦化し、この研磨傷を低減することを特徴とする機械研磨傷の低減方法。

【請求項2】請求項1において研磨傷の除去方法としてアッシャを用いることを特徴とする配線基板の製造方法。

【請求項3】請求項1において研磨傷の除去方法としてドライエッチングを用いることを特徴とする配線基板の製造方法。

【請求項4】請求項1において研磨傷の除去方法としてウェットエッチングを用いることを特徴とする配線基板の製造方法。

【請求項5】請求項1において研磨傷の除去方法として傷の上層に新たに樹脂を塗布することにより、傷を除去することを特徴とする配線基板の製造方法。

【請求項6】請求項5又は2～4を併用することにより、傷を除去することを特徴とする配線基板の製造方法。

【請求項7】請求項6においてアッシャを用いて膜厚を制御することを特徴とする配線基板の製造方法。

【請求項8】請求項6においてドライエッチングを用いて膜厚を制御することを特徴とする配線基板の製造方法。

【請求項9】請求項6においてウェットエッチングを用いて膜厚を制御することを特徴とする配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LSIや多層配線基板等の電子回路素子およびその作成方法に係り、特に、微細かつアスペクト比の高い配線及びスルーホールを持つ配線基板とその作成方法に関する。

【0002】

【従来の技術】図1に示す配線基板において、配線上に絶縁層を形成するための絶縁材料4を塗布した際、表面に配線1による凹凸3が現われる。この表面の凹凸が後の配線工程において高精度配線形成の障害となる。即ち配線層数が増加するに従って表面の凹凸が激しくなり、上部の絶縁層および配線パターンの形成が困難になるという問題があった。

【0003】凹凸を減らすために研磨を入れることは、特開平4-84495号公報に述べられている。

【0004】そこで、上記の凹凸解消のため機械的な研磨を入れ、平坦化を行ったが、その研磨傷のため、後工程で配線金属のエッチング残りが生じ、ショート等の問題が出た。

【0005】

【発明が解決しようとする課題】特開平4-84495号公報では、スルーホールから溶け出した表面の樹脂をベルトサンダーで研磨する方法が述べられている。機械的な研磨を入れることは平坦化に関して効果大きい。しかし、実際に基板作成工程に導入したところ後工程で配線金属のエッチング残りが生じ、ショート等の問題が出た。

【0006】本発明では、研磨により高度な平坦化を実現し、研磨傷を低減させるものである。上記従来技術のような平面研磨では、研磨傷により線間のショートを引き起こしたが、表面の傷を低減することによりその可能性を少なくしたものである。

【0007】

【課題を解決するための手段】上記の課題を解決するためには、絶縁層膜厚を必要膜厚より厚く形成して配線の段差を機械的に平坦化した後、傷を低減させる方法を用いれば良い。

【0008】即ち段差をテープ研磨等を用いて平坦化した後、アッシャ等のドライエッチングプロセスを用いて研磨傷を低減する方法や、傷の上に樹脂を塗布して研磨傷を低減する方法がある。また前記の方法を合わせる方法、即ち、傷の上に樹脂を塗布して研磨傷を低減させた後に更にドライエッチングプロセスを用いることにより研磨傷を低減する方法がある。

【0009】また、ドライエッチングプロセスに変わってウェットエッチング処理によって同様な処理を行うこともできる。

【0010】

【作用】本発明においては、凹凸基板表面を機械的に研磨することにより平坦化する。この研磨により表面の凹凸は、著しく平坦化することが出来る。一方で、配線が高密度かつ微細になるにつれて、研磨傷のため、後工程で配線金属のエッチング残りが生じ、ショート等の問題が出た。この問題の解決のため、機械研磨の後に研磨傷の低減処理を施すことにより、研磨傷のために後工程で生じた配線金属のエッチング残り等の問題を解決するものである。

【0011】

【実施例】実施例1：樹脂表面上についた傷を低減する方法を図2に示す。基板2としてガラスを用い、その上にポリイミド4（日立化成工業（株）PIQ）をスピンコートを用いて塗布した。ポリイミドの膜厚は、フルキュア後に20μmとし、その表面にテープ研磨を施した（図2aの状態：表面には、傷が存在する）。研磨テープ（大日本ミクロコーティング（株）製）は、#1000、#2000、#4000のものをを用いた。研磨の条件は、表1のようにした。

【0012】

【表1】

3
[表1]

装置メーカー	泉谷機械工業株式会社
研磨装置型式	M L S - 3 I 5 Y W
加重	1 . 0 0 k g
テープ振動数	3 2 H z
切り込み量	2 0 0 μ m
研磨回数	1 0 往復

4

【0013】本装置は、テープが振動し（表1のテープ振動数）、研磨速度を上げるような構造になっている。テープ研磨後に、アッシャ処理を施した。アッシング量は10 μ mとした。評価方法は、表面粗さを測定し、最*

* 大の凹凸の差を比較した。この結果を表2に示す。

【0014】

【表2】

[表2]

テープ粗さ	研磨直後	アッシャ処理後
# 1 0 0 0	0 . 9 μ m	0 . 8 μ m
# 2 0 0 0	0 . 6 μ m	0 . 4 μ m
# 4 0 0 0	0 . 5 μ m	0 . 3 μ m

【0015】その結果、アッシャ処理を行うことにより、表面粗さが0.1~0.2 μ m改善されることが確認された（図2bの状態）。

【0016】実施例2：樹脂表面上についた傷を低減する方法を図3に示す。研磨の工程までは、実施例1と同様な処理を行った。研磨後、ポリイミド6（日立化成工※

※業（株）PIQ）をスピンコートを用いて塗布した（図3bの状態）。塗布膜厚は、10 μ mとした。表面粗さを測定し、最大の凹凸の差を比較した。その結果を表3に示す。

【0017】

【表3】

[表3]

テープ粗さ	研磨直後	塗布処理後
# 1 0 0 0	0 . 9 μ m	0 . 3 μ m
# 2 0 0 0	0 . 6 μ m	0 . 2 μ m
# 4 0 0 0	0 . 5 μ m	0 . 0 4 μ m

【0018】その結果、ポリイミドを重ねて塗布することにより表面の傷は0.04~0.3 μ m程度に著しく改善されることが確認された。

【0019】実施例3：樹脂表面上についた傷を低減する方法を図4に示す。研磨までの工程は、実施例1と同様な処理を行った。研磨後、ポリイミド6（日立化成工業（株）PIQ）をスピンコートを用いて塗布し（塗布★

40★膜厚：10 μ m：図4bの状態）、つづけてアッシャ処理（アッシング量：10 μ m：図4cの状態）を行なった。表面粗さを測定し、最大の凹凸の差を比較した。その結果を表4に示す。

【0020】

【表4】

5
[表4]

6

テープ粗さ	研磨直後	塗布処理後
# 1 0 0 0	0. 9 μ m	0. 0 1 0 μ m
# 2 0 0 0	0. 6 μ m	0. 0 0 5 μ m
# 4 0 0 0	0. 5 μ m	0. 0 0 4 μ m

【0021】その結果、ポリイミドを重ねて塗布し、つづけてアッシャ処理を行なうことにより表面の傷は著しく改善されることが確認された。また、このアッシャ処理によって膜厚を制御することが可能となる。

【0022】実施例4：本発明を用いて回路基板を作成した。回路基板の作成方法を図5および表5に示す。表5の英字は、図5の英字に対応している。基板2としてガラス基板を用いた。基板上に配線1（ここでは、銅を*

*用いた）を形成し、その上にポリイミド4（日立化成工業（株）PIQ）を塗布した（図5a）。その表面を研磨を施し、平坦にした（図5b）。つづいて表面にポリイミド6（日立化成工業（株）PIQ）を塗布し（図5c）、酸素アッシング処理を行い、所定の膜厚とした（図5d）。

【0023】

【表5】

a	配線層形成	高さ40 μ m、PIQ42 μ m塗布
b	テープ研磨	# 1 0 0 0 / 1 2 回
c	PIQ塗布	10 μ m
d	エッチバック	ドライエッチング、膜厚20 μ m
e	テープ研磨	# 8 0 0 0 / 1 0 回

【0024】上記の処理の各工程ごとに測定した部分を図6に示す。配線+ビアスタッド頂上までを図6の9、ビアスタッドの高さを図6の10とした。また、配線の段差の変化を表6に示す。表6の英字は表5、図5の英*

※字に対応している。

【0025】

【表6】

	第6図9部分	第6図10部分
a	7. 0 ~ 9. 0 μ m	2. 0 ~ 3. 0 μ m
b	0. 5 ~ 1. 5 μ m	0. 5 ~ 1. 0 μ m
c	0. 5 ~ 1. 0 μ m	0. 5 ~ 1. 0 μ m
d	2. 0 ~ 4. 0 μ m	1. 5 ~ 2. 0 μ m
e	0. 0 ~ 1. 0 μ m	0. 0 ~ 1. 0 μ m

【0026】その結果ビアスタッド部分及び配線部分の段差は、ほぼ0 μ mと高度に平坦化され、本発明の有効性が実証された。また、配線間の凹凸も高低差0. 004 μ mと高度に平坦化された。

【0027】

【発明の効果】本発明によれば、配線基板を高度に平坦化し、かつ表面の傷を低減することにより線間のショートを防止することが出来る。

【図面の簡単な説明】

【図1】配線基板の構造図である。

【図2】アッシング処理により樹脂表面についた傷を低★50

40★減する方法を示す図である。

【図3】ポリイミド塗布により樹脂表面についた傷を低減する方法を示す図である。

【図4】ポリイミド塗布とアッシング処理により樹脂表面についた傷を低減する方法を示す図である。

【図5】本発明を応用した回路基板の作成方法を示す図である。

【図6】段差測定部分を示す図である。

【符号の説明】

1…配線、

2…基板、

(5)

特開平6-260772

7

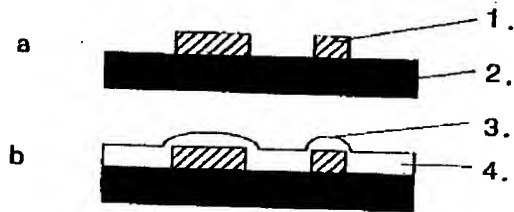
8

3...段差部分、
4...絶縁材料、
5...表面拡大図、
6...平坦化材料、

7...配線高さ $20\mu\text{m}$ 、
8...ビアスタッドの高さ $20\mu\text{m}$ 、
9...配線+ビアスタッドの高さ、
10...ビアスタッドの高さ。

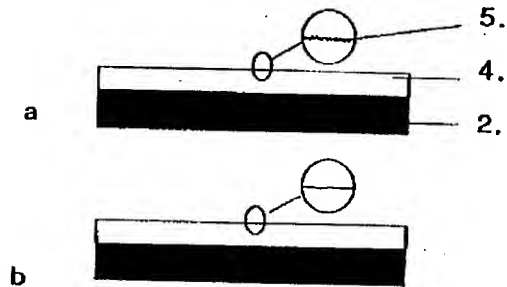
【図1】

図 1



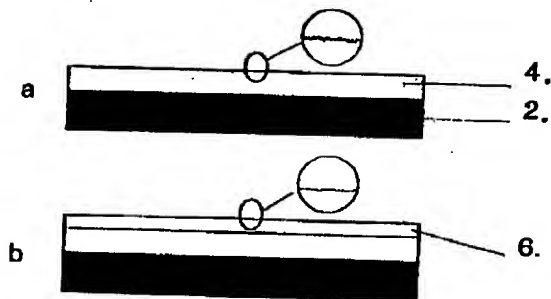
【図2】

図 2



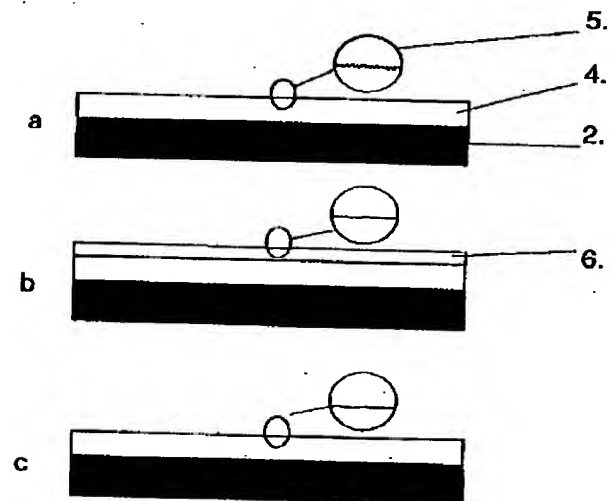
【図3】

図 3



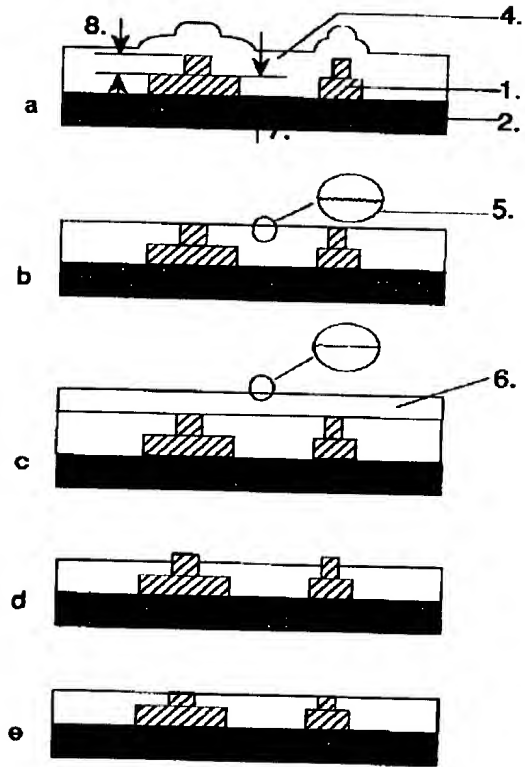
【図4】

図 4



【図5】

図 5



【図6】

図 6

